
Contenido

	Prefacio	vii
	por G. GORDON BELL	
	Prólogo	xv
	Agradecimientos	xxi
	Sobre los autores	xxvi
1	Fundamentos del diseño de computadores	3
	1.1 Introducción	3
	1.2 Definiciones de rendimiento	5
	1.3 Principios cuantitativos del diseño de computadores	8
	1.4 El trabajo de un diseñador de computadores	13
	1.5 Juntando todo: el concepto de jerarquía de memoria	19
	1.6 Falacias y pifias	22
	1.7 Observaciones finales	23
	1.8 Perspectiva histórica y referencias	24
	Ejercicios	30
2	Rendimientos y coste	35
	2.1 Introducción	35
	2.2 Rendimiento	37
	2.3 Coste	57
	2.4 Juntando todo: precio/rendimiento de tres máquinas	71
	2.5 Falacias y pifias	74
	2.6 Observaciones finales	81
	2.7 Perspectiva histórica y referencias	82
	Ejercicios	86
3	Diseño de repertorios de instrucciones: alternativas y principios	95
	3.1 Introducción	95
	3.2 Clasificación de las arquitecturas a nivel lenguaje máquina	96
	3.3 Almacenamiento de operandos en memoria: clasificación de las máquinas de registros de propósito general	98
	3.4 Direccionamiento de memoria	101
	3.5 Operaciones del repertorio de instrucciones	110
	3.6 Tipo y tamaño de los operandos	117
	3.7 El papel de los lenguajes de alto nivel y compiladores	118

3.8	Juntando todo: cómo los programas utilizan los repertorios de instrucciones	131
3.9	Falacias y pifias	133
3.10	Observaciones finales	136
3.11	Perspectiva histórica y referencias	136
	Ejercicios	142

4

Ejemplos y medidas de utilización de los repertorios de instrucciones **149**

4.1	Medidas de los repertorios de instrucciones: qué y por qué	149
4.2	La arquitectura VAX	152
4.3	La arquitectura 360/370	159
4.4	La arquitectura 8086	164
4.5	La arquitectura DLX	172
4.6	Juntando todo: medidas de utilización del repertorio de instrucciones	180
4.7	Falacias y pifias	196
4.8	Observaciones finales	198
4.9	Perspectiva histórica y referencias	200
	Ejercicios	205

5

Técnicas básicas de implementación de procesadores **213**

5.1	Introducción	213
5.2	Camino de datos del procesador	215
5.3	Pasos básicos de ejecución	216
5.4	Control cableado	218
5.5	Control microprogramado	222
5.6	Interrupciones y otros enredos	229
5.7	Juntando todo: control para DLX	236
5.8	Falacias y pifias	255
5.9	Observaciones finales	257
5.10	Perspectiva histórica y referencias	258
	Ejercicios	262

6

Segmentación **269**

6.1	¿Qué es la segmentación?	269
6.2	Segmentación básica para DLX	270
6.3	Haciendo que funcione la segmentación	273
6.4	El principal obstáculo de la segmentación: riesgos de la segmentación	276
6.5	Qué hace difícil de implementar la segmentación	299
6.6	Extensión de la segmentación de DLX para manipular operaciones multiciclo	305
6.7	Segmentación avanzada: planificación dinámica de la segmentación	312
6.8	Segmentación avanzada: aprovechando más el paralelismo de nivel de instrucción	337
6.9	Juntando todo: un VAX segmentado	352
6.10	Falacias y pifias	359
6.11	Observaciones finales	362

6.12	Perspectiva histórica y referencias	363
	Ejercicios	368

7

	Procesadores vectoriales	377
7.1	¿Por qué máquinas vectoriales?	377
7.2	Arquitectura vectorial básica	379
7.3	Dos aspectos del mundo real: longitud del vector y separación entre elementos	391
7.4	Un modelo sencillo para el rendimiento vectorial	396
7.5	Tecnología de compiladores para máquinas vectoriales	399
7.6	Mejorando el rendimiento vectorial	405
7.7	Juntando todo: evaluación del rendimiento de los procesadores vectoriales	412
7.8	Falacias y pifias	419
7.9	Observaciones finales	421
7.10	Perspectiva histórica y referencias	422
	Ejercicios	426

8

	Diseño de la jerarquía de memoria	433
8.1	Introducción: principio de localidad	433
8.2	Principios generales de jerarquía de memoria	434
8.3	Caches	438
8.4	Memoria principal	458
8.5	Memoria virtual	466
8.6	Protección y ejemplos de memoria virtual	473
8.7	Más optimizaciones basadas en el comportamiento de los programas	484
8.8	Tópicos avanzados. Mejora del rendimiento de memoria cache	490
8.9	Juntando todo: la jerarquía de memoria del VAX-11/780	512
8.10	Falacias y pifias	518
8.11	Observaciones finales	522
8.12	Perspectiva histórica y referencias	522
	Ejercicios	528

9

	Entradas/Salidas	537
9.1	Introducción	537
9.2	Predicción del rendimiento del sistema	539
9.3	Medidas de rendimiento de E/S	545
9.4	Tipos de dispositivos de E/S	551
9.5	Buses. Conectando dispositivos de E/S a CPU/memoria	569
9.6	Interfaz con la CPU	574
9.7	Interfaz con un sistema operativo	577
9.8	Diseño de un sistema de E/S	581
9.9	Juntando todo: el subsistema de almacenamiento IBM 3990	589
9.10	Falacias y pifias	597
9.11	Observaciones finales	603
9.12	Perspectiva histórica y referencias	603
	Ejercicios	607

10**Tendencias futuras**

10.1	Introducción	615
10.2	Clasificación de Flynn de los computadores	616
10.3	Computadores SIMD. Flujo único de instrucciones, flujos múltiples de datos	616
10.4	Computadores MIMD. Flujos múltiples de instrucciones, flujos múltiples de datos	618
10.5	Las rutas a El Dorado	621
10.6	Procesadores de propósito especial	624
10.7	Direcciones futuras para los compiladores	625
10.8	Juntando todo: el multiprocesador Sequent Symmetry	627
10.9	Falacias y pifias	630
10.10	Observaciones finales. Evolución frente a revolución en arquitectura de computadores	632
10.11	Perspectiva histórica y referencias	633
	Ejercicios	637

Apéndice A: Aritmética de computadores

por DAVID GOLDBERG
Xerox Palo Alto Research Center

A.1	Introducción	641
A.2	Técnicas básicas de la aritmética entera	642
A.3	Punto flotante	652
A.4	Suma en punto flotante	657
A.5	Multiplicación en punto flotante	662
A.6	División y resto	664
A.7	Precisiones y tratamiento de excepciones	670
A.8	Aceleración de la suma entera	673
A.9	Aceleración de la multiplicación y división enteras	682
A.10	Juntando todo	696
A.11	Falacias y pifias	700
A.12	Perspectiva histórica y referencias	701
	Ejercicios	706

Apéndice B: Tablas completas de repertorios de instrucciones

B.1	Repertorio de instrucciones de usuario del VAX	711
B.2	Repertorio de instrucciones del sistema/360	717
B.3	Repertorio de instrucciones del 8086	721

Apéndice C: Medidas detalladas del repertorio de instrucciones

C.1	Medidas detalladas del VAX	727
C.2	Medidas detalladas del 360	729
C.3	Medidas detalladas del Intel 8086	731
C.4	Medidas detalladas del repertorio de instrucciones del DLX	732

Apéndice D: Medidas de tiempo frente a frecuencia

D.1	Distribución de tiempos en el VAX-11/780	733
		734

D.2	Distribución de tiempos en el IBM 370/168	734
D.3	Distribución de tiempos en un 8086 de un IBM PC	738
D.4	Distribución de tiempos en un procesador próximo a DLX	739

Apéndice E: Visión general de las arquitecturas RISC **743**

E.1	Introducción	743
E.2	Modos de direccionamiento y formatos de instrucción	744
E.3	Instrucciones: el subconjunto de DLX	746
E.4	Instrucciones: extensiones comunes a DLX	753
E.5	Instrucciones únicas del MIPS	756
E.6	Instrucciones únicas del SPARC	758
E.7	Instrucciones únicas del M88000	761
E.8	Instrucciones únicas del i860	763
E.9	Observaciones finales	767
E.10	Referencias	768

Definiciones de arquitectura de computadores, trivialidades, fórmulas y reglas empíricas 769

Notación de descripción hardware (y algunos operadores C estándares) 772

Estructura de la segmentación del DLX 773

Repertorio de instrucciones del DLX, lenguaje de descripción y segmentación del DLX 773

Referencias **775**

Índice **789**