

# CONTENIDO

Prefacio      xix

<b>1</b>	<b>Sistemas numéricos y códigos</b>	<b>2</b>
1.1	Sistemas numéricos posicionales	2
1.2	Números octales y hexadecimales	3
1.3	Conversiones entre sistemas numéricos posicionales	5
1.4	Suma y resta de dos números no decimales	7
1.5	Representación de números negativos	10
1.5.1	<i>Representación de magnitud y signo</i>	
1.5.2	<i>Sistema numérico en complemento</i>	
1.5.3	<i>Representación en complemento a la base</i>	
1.5.4	<i>Representación en complemento a dos</i>	
1.5.5	<i>Representación en complemento a la base disminuida</i>	
1.6	Suma y resta en complemento a dos	15
1.6.1	<i>Reglas de la suma</i>	
1.6.2	<i>Una representación gráfica</i>	
1.6.3	<i>Desborde</i>	
1.6.4	<i>Reglas de la resta</i>	
1.6.5	<i>Números binarios en complemento a dos y sin signo</i>	
1.7	Suma y resta en complemento a uno	20
1.8	Multiplicación binaria	22
1.9	División binaria	24
1.10	Códigos binarios de números decimales	24
1.11	Código Gray	27
1.12	Códigos de caracteres	29
1.13	Códigos para acciones, condiciones y estados	30
1.14	Cubos- $n$ y distancia	33
1.15	Códigos para detectar y corregir errores	35
1.15.1	<i>Códigos detectores de errores</i>	
1.15.2	<i>Códigos para corrección de errores y detección de errores múltiples</i>	
1.15.3	<i>Códigos de Hamming</i>	
1.15.4	<i>Códigos bidimensionales</i>	
1.15.5	<i>Códigos de suma de verificación</i>	
1.15.6	<i>Códigos <math>m</math> de <math>n</math></i>	
1.16	Códigos para transmisión y almacenamiento de datos en serie	44
1.16.1	<i>Datos en paralelo y en serie</i>	
1.16.2	<i>Códigos de línea en serie</i>	
	Referencias	48
	Ejercicios	49

<b>2</b>	<b>Circuitos digitales</b>	<b>54</b>	
2.1	Señales y compuertas lógicas	55	
2.2	Diodos	57	
2.3	Lógica de diodos	60	
2.4	Transistores de unión bipolar	63	
2.5	Inversores lógicos	66	
2.6	Diseño eléctrico de un inversor lógico	69	
	2.6.1 Fuente de alimentación y niveles lógicos		
	2.6.2 Elección de las resistencias		
	2.6.3 Máximo número de salidas		
	2.6.4 Tiempo de transición		
	2.6.5 Tiempo de propagación		
2.7	Lógica transistor resistencia (RTL)	79	
	2.7.1 Número máximo de entradas		
2.8	Lógica de transistor diodo (DTL)	81	
2.9	Lógica transistor-transistor (TTL)	84	
	2.9.1 Compuerta NAND TTL básica		
	2.9.2 Niveles lógicos y márgenes de ruido		
	2.9.3 Número máximo de compuertas a la salida		
	2.9.4 Efectos de la carga		
	2.9.5 Entradas no usadas		
2.10	Otros tipos de compuertas TTL	94	
	2.10.1 Compuertas NOR		
	2.10.2 Compuertas AND-OR-INVERSOR		
	2.10.3 Compuertas no inversoras		
2.11	Otras estructuras de entrada y salida TTL	98	
	2.11.1 Entradas de disparo Schmitt		
	2.11.2 Salidas Darlington		
	2.11.3 Salidas de colector abierto		
	2.11.4 Lógica alambrada		
	2.11.5 Salidas de tres estados		
2.12	Familias TTL	109	
	2.12.1 Primeras familias TTL		
	2.12.2 Transistores Schottky		
	2.12.3 Familias TTL Schottky		
	2.12.4 Características de las familias TTL		
2.13	Lógica en modo de corriente (CML)	115	
	2.13.1 El circuito CML básico		
	2.13.2 La familia ECL de 10K		
	2.13.3 La familia ECL de 100K		
2.14	Lógica semiconductor de óxido metálico (MOS)	122	
	2.14.1 Transistores MOS		
	2.14.2 Inversores y compuertas NMOS		
2.15	Lógica MOS complementaria (CMOS)	125	

2.15.1	<i>Circuito CMOS básico</i>	
2.15.2	<i>Niveles lógicos y márgenes de ruido</i>	
2.15.3	<i>Consumo de energía</i>	
2.15.4	<i>Número máximo de compuertas a la salida</i>	
2.15.5	<i>Compuertas CMOS NAND y NOR</i>	
2.15.6	<i>Número máximo de terminales de la entrada a la compuerta</i>	
2.15.7	<i>Familias CMOS</i>	
2.15.8	<i>Interfase CMOS/TTL</i>	
2.16	Circuitos integrados	135
2.17	IC de aplicación específica (ASICs)	140
	Referencias	142
	Ejercicios	143

<b>3</b>	<b>Principios de diseño de lógica combinacional</b>	<b>150</b>
3.1	Algebra de conmutación	151
3.1.1	<i>Axiomas</i>	
3.1.2	<i>Teoremas de una sola variable</i>	
3.1.3	<i>Teoremas de dos y tres variables</i>	
3.1.4	<i>Teoremas de n variables</i>	
3.1.5	<i>Dualidad</i>	
3.1.6	<i>Representaciones estándar de funciones lógicas</i>	
3.2	Análisis de circuitos combinacionales	166
3.3	Síntesis de circuitos combinacionales	171
3.3.1	<i>Descripción de diseño y circuitos</i>	
3.3.2	<i>Manipulaciones de circuitos</i>	
3.3.3	<i>Minimización de circuitos combinacionales</i>	
3.3.4	<i>Mapas de Karnaugh * 3</i>	
3.3.5	<i>Minimización de sumas de productos</i>	
3.3.6	<i>Simplificación de productos de sumas</i>	
3.3.7	<i>Combinaciones de entrada "no importa"</i>	
3.3.8	<i>Minimización de salida múltiple</i>	
3.4	Métodos de minimización programada	195
3.4.1	<i>Representación de términos producto</i>	
3.4.2	<i>Búsqueda de implicantes primos al combinar términos producto</i>	
3.4.3	<i>Búsqueda de implicantes primos mediante consenso iterativo</i>	
3.4.4	<i>Búsqueda de cobertura mínima con tablas de implicantes primos</i>	
3.4.5	<i>Búsqueda de una cobertura mínima por consenso iterativo</i>	
3.4.6	<i>Otros métodos de minimización</i>	
3.5	Riesgos temporizados	210
3.5.1	<i>Riesgos estáticos</i>	
3.5.2	<i>Búsqueda de riesgos estáticos con mapas</i>	
3.5.3	<i>Riesgos dinámicos</i>	
3.5.4	<i>Como diseñar circuitos libres de riesgos</i>	
	Referencias	215
	Ejercicios	217

<b>4</b>	<b>Prácticas de diseño lógico combinacional</b>	<b>226</b>
4.1	Estándares de documentación	227
4.1.1	<i>Diagrama de bloques</i>	
4.1.2	<i>Símbolos de compuertas</i>	
4.1.3	<i>Nombres de señales y niveles activos</i>	
4.1.4	<i>Niveles activos de las terminales</i>	
4.1.5	<i>Diseño lógico de inversión a inversión</i>	
4.1.6	<i>Cómo dibujar una tarjeta</i>	
4.1.7	<i>Canales</i>	
4.1.8	<i>Información esquemática adicional</i>	
4.1.9	<i>Símbolos estándar IEEE</i>	
4.2	El tiempo en los circuitos	244
4.2.1	<i>Diagramas de tiempo</i>	
4.2.2	<i>Tiempo de propagación</i>	
4.3	Decodificadores	250
4.3.1	<i>Decodificadores binarios</i>	
4.3.2	<i>Nombre de terminales y señales para elementos de mayor escala</i>	
4.3.3	<i>El decodificador dual 74LS139 de 2 a 4</i>	
4.3.4	<i>El decodificador 74LS138 de 3 a 8</i>	
4.3.5	<i>Decodificadores binarios en cascada</i>	
4.3.6	<i>Decodificadores binarios como generadores de minterminos</i>	
4.3.7	<i>Decodificadores de siete segmentos</i>	
4.3.8	<i>Símbolos estándar IEEE</i>	
4.4	Registros de tres estados	266
4.4.1	<i>Registros de tres estados SSI y MSI estándar</i>	
4.4.2	<i>Símbolos estándar IEEE</i>	
4.5	Codificadores	276
4.5.1	<i>Codificadores de prioridad</i>	
4.5.2	<i>El codificador de prioridades 74LS148</i>	
4.5.3	<i>Símbolos estándar IEEE</i>	
4.6	Multiplexores	283
4.6.1	<i>Multiplexores estándar MSI</i>	
4.6.2	<i>Expansión de multiplexores</i>	
4.6.3	<i>Los multiplexores como generadores de funciones</i>	
4.6.4	<i>Multiplexores, demultiplexores y canales o buses</i>	
4.6.5	<i>Símbolos IEE estándar</i>	
4.7	Compuertas OR EXCLUSIVAS y circuitos de paridad	297
4.7.1	<i>Compuertas OR EXCLUSIVAS y compuertas NOR EXCLUSIVAS</i>	
4.7.2	<i>Circuitos de paridad</i>	
4.7.3	<i>El generador de paridad de 9 bits 74LS280</i>	
4.7.4	<i>Aplicaciones de la verificación de paridad</i>	
4.7.5	<i>Los símbolos estándar IEEE</i>	

4.8	Comparadores	304	
4.8.1	<i>Estructura del comparador</i>		
4.8.2	<i>Circuitos iterativos</i>		
4.8.3	<i>Un circuito comparador iterativo</i>		
4.8.4	<i>Comparadores estándar MSI</i>		
4.8.5	<i>Símbolos IEEE estándar</i>		
4.9	Sumadores, restadores y ALU	310	
4.9.1	<i>Medio sumador y sumador completo</i>		
4.9.2	<i>Sumadores de propagación</i>		
4.9.3	<i>Restadores</i>		
4.9.4	<i>Sumadores con acarreo anticipado</i>		
4.9.5	<i>Sumadores MSI</i>		
4.9.6	<i>Aritmética MSI y unidades lógicas (ALU)</i>		
4.9.7	<i>Acarreo anticipado en grupo</i>		
4.9.8	<i>Símbolos estándar IEEE</i>		
4.10	Multiplicadores combinacionales	327	
4.11	Diseño lógico combinacional con funciones MSI	331	
4.11.1	<i>Objetivos del diseño</i>		
4.11.2	<i>Uso de funciones MSI para "lógica aleatoria"</i>		
4.11.3	<i>Funciones cuasi MSI</i>		
4.11.4	<i>Cómo encontrar las funciones MSI en problemas más grandes</i>		
	Referencias	341	
	Ejercicios	342	

<b>5</b>	<b>Principios de diseño lógico secuencia</b>	<b>355</b>
5.1	Elementos biestables	357
5.1.1	<i>Análisis digital</i>	
5.1.2	<i>Análisis analógico</i>	
5.1.3	<i>Comportamiento metaestable</i>	
5.2	Biestables y Flip Flops	360
5.2.1	<i>El biestable S-R</i>	
5.2.2	<i>El biestable /S-/R</i>	
5.2.3	<i>El biestable S-R con habilitación</i>	
5.2.4	<i>El biestable D</i>	
5.2.5	<i>El flip flop D disparado por flanco</i>	
5.2.6	<i>El flip flop S-R maestro/esclavo</i>	
5.2.7	<i>El flip flop J-K maestro/esclavo</i>	
5.2.8	<i>El flip flop J-K disparado por flanco</i>	
5.2.9	<i>El flip flop T</i>	
5.2.10	<i>Ecuaciones características</i>	
5.3	Análisis de máquinas de estado sincronizadas por reloj	375
5.3.1	<i>Estructura de la máquina de estados</i>	
5.3.2	<i>Análisis de máquinas de estado con flip flops D</i>	
5.3.3	<i>Análisis de máquinas de estados con flip flops J-K</i>	
5.4	Diseño de máquinas de estados sincronizadas con reloj	388
5.4.1	<i>Diseño de la tabla de estados</i>	
5.4.2	<i>Minimización de estados</i>	
5.4.3	<i>Asignación de estados</i>	
5.4.4	<i>Síntesis con flip flops D</i>	
5.4.5	<i>Síntesis con flip flops J-K</i>	
5.4.6	<i>Más ejemplos de diseño con flip flops D</i>	
5.5	Circuitos secuenciales retroalimentados	409
5.5.1	<i>Análisis</i>	
5.5.2	<i>Cómo analizar circuitos con múltiples lazos de retroalimentación</i>	
5.5.3	<i>Carreras</i>	
5.5.4	<i>Las tablas de estado y las tablas de flujo</i>	
5.5.5	<i>Comentarios</i>	
5.6	Diseño de circuitos secuenciales retroalimentados	420
5.6.1	<i>Biestables</i>	
5.6.2	<i>Diseño de tablas de flujo en modo fundamental</i>	
5.6.3	<i>Minimización de la tabla de flujo</i>	
5.6.4	<i>Asignación de estado libre de carrera</i>	
5.6.5	<i>Ecuaciones de excitación</i>	
5.6.6	<i>Riesgos esenciales</i>	
5.6.7	<i>Resumen</i>	
	Referencias	433
	Ejercicios	434

- 6 Prácticas de diseño lógico secuencial 446**
- 6.1 Estándares para la documentación de circuitos  
secuenciales 447
    - 6.1.1 *Requisitos generales*
    - 6.1.2 *Símbolos lógicos*
    - 6.1.3 *Descripciones de las máquinas de estados*
    - 6.1.4 *Diagramas de tiempo y especificaciones*
  - 6.2 Biestables y flip flops 451
    - 6.2.1 *Biestables y flip flops SSI*
    - 6.2.2 *Interruptor sin rebote*
    - 6.2.3 *Registros y biestables de varios bits*
    - 6.2.4 *Símbolos estándar IEEE*
  - 6.3 Contadores 459
    - 6.3.1 *Contadores de propagación*
    - 6.3.2 *Contadores sincrónicos*
    - 6.3.3 *Contadores MSI y aplicaciones*
    - 6.3.4 *Decodificación de los estados del contador binario*
    - 6.3.5 *Símbolos estándar IEEE*
  - 6.4 Registros de corrimiento 475
    - 6.4.1 *Estructura del registro de corrimiento*
    - 6.4.2 *Registros de corrimiento MSI*
    - 6.4.3 *La aplicación de registro de corrimiento más grande del mundo*
    - 6.4.4 *Conversión serie/paralela*
    - 6.4.5 *Contadores de registro de corrimiento*
    - 6.4.6 *Contadores de anillo*
    - 6.4.7 *Contadores Johnson*
    - 6.4.8 *Contadores de registro de corrimiento con retroalimentación lineal*
    - 6.4.9 *Símbolos estándar IEEE*
  - 6.5 Circuitos combinatoriales iterativos vs. circuitos  
secuenciales 497
  - 6.6 Diseño práctico de máquinas de estados 500
    - 6.6.1 *Diseño ad hoc*
    - 6.6.2 *Diseño de máquinas de estados con diagramas de estados*
    - 6.6.3 *Diseño de máquinas de estado con diagramas ASM*
  - 6.7 Síntesis de máquinas de estados a partir de las listas de  
transición
    - 6.7.1 *Ecuaciones de transición*
    - 6.7.2 *Ecuaciones de excitación*
    - 6.7.3 *Variaciones del esquema*
    - 6.7.4 *Otro ejemplo*
    - 6.7.5 *Estados no usados*
    - 6.7.6 *Asignación de códigos de estados de salida*
    - 6.7.7 *Codificación de estados "no importa"*



- 6.8 Otros enfoques para el diseño de las máquinas de estados 527
  - 6.8.1 *Contadores MSI y registros de corrimiento como máquinas de estados*
  - 6.8.2 *Descomposición de las máquinas de estados*
- 6.9 Metodología de diseño sincrónico 533
  - 6.9.1 *Estructura de un sistema sincrónico*
  - 6.9.2 *Ejemplo de diseño de un sistema sincrónico*
  - 6.9.3 *Desfasamiento del reloj*
  - 6.9.4 *Adecuación del reloj*
  - 6.9.5 *Entradas asincrónicas*
- 6.10 Fallas del sincronizador y estimación de la metaestabilidad 547
  - 6.10.1 *Fallas del sincronizador*
  - 6.10.2 *Tiempo de resolución de la metaestabilidad*
  - 6.10.3 *Diseño de un sincronizador confiable*
  - 6.10.4 *Análisis de la sincronización metaestable*
  - 6.10.5 *Mejores sincronizadores*
  - 6.10.6 *Otros diseños de sincronizadores*
  - 6.10.7 *Flip flops raramente metaestables*
- Referencias 556
- Ejercicios 557



<b>7</b>	<b>Dispositivos lógicos programales</b>	<b>567</b>
7.1	Memoria de sólo lectura	568
7.1.1	<i>Uso de las ROM para funciones lógicas combinacionales</i>	
7.1.2	<i>Estructura interna de la ROM</i>	
7.1.3	<i>Decodificación bidimensional</i>	
7.1.4	<i>Tipos de ROM comerciales</i>	
7.1.5	<i>Entradas de control y tiempos de la ROM</i>	
7.1.6	<i>Aplicaciones ROM</i>	
7.2	PLD combinacionales	589
7.2.1	<i>Arreglos lógicos programables (PLA)</i>	
7.2.2	<i>ROM vs. PLA</i>	
7.2.3	<i>Dispositivos de lógica de arreglo programable (PAL)</i>	
7.2.4	<i>El lenguaje de programación ABEL</i>	
7.2.5	<i>Polaridad de la señal</i>	
7.2.6	<i>Lógica de dos pasos</i>	
7.2.7	<i>Aplicaciones de PLD combinacionales</i>	
7.2.8	<i>Conjuntos y relaciones</i>	
7.2.9	<i>Otra aplicación PLD combinacional</i>	
7.2.10	<i>Otros PLD combinacionales y otras aplicaciones</i>	
7.2.11	<i>Control de salida de tres estados</i>	
7.2.12	<i>Biestables</i>	
7.3	PLD secuenciales	618
7.3.1	<i>PLD de registro estándar</i>	
7.3.2	<i>Especificaciones de tiempos para PLD</i>	
7.3.3	<i>Aplicaciones de los PLD de registro</i>	
7.3.4	<i>Diseño de contadores binarios con PLD registro</i>	
7.3.5	<i>Diseño de contadores con PLD de la serie X</i>	
7.3.6	<i>Salidas en cascada y de acarreo</i>	
7.3.7	<i>Ejemplo de diseño con la serie X</i>	
7.4	Diseño de máquinas de estados con PLD secuenciales	637
7.4.1	<i>Tiempos y empaquetado de máquinas de estado basadas en PLD</i>	
7.4.2	<i>Síntesis de máquinas de estados basadas en PLD mediante listas de transición</i>	
7.4.3	<i>Diseño con un lenguaje de descripción de máquinas de estado</i>	
7.4.4	<i>Controlador de luces para el peor tráfico del mundo</i>	
7.5	Memoria de lectura/escritura	648
7.5.1	<i>Estructura de la RAM estática básica</i>	
7.5.2	<i>RAM estáticas estándar</i>	
7.5.3	<i>RAM dinámica</i>	
	Referencias	665
	Ejercicios	666

<b>8</b>	<b>Temas adicionales del mundo real</b>	<b>671</b>
8.1	Herramientas de ingeniería asistidas por computadora	671
8.1.1	<i>Captura de esquemas</i>	
8.1.2	<i>Análisis y simulación del circuito</i>	
8.1.3	<i>Lenguajes para la descripción de hardware</i>	
8.2	Diseños con capacidad de verificación	677
8.2.1	<i>Pruebas</i>	
8.2.2	<i>Pruebas en circuito y con soporte de clavos</i>	
8.2.3	<i>Métodos de barrido</i>	
8.3	Estimación de la confiabilidad del sistema digital	683
8.3.1	<i>Tasa de fallas</i>	
8.3.2	<i>Confiabilidad y MTBF</i>	
8.3.3	<i>Confiabilidad del sistema</i>	
8.4	Líneas de transmisión, reflexiones y terminaciones	688
8.4.1	<i>Teoría básica de línea de transmisión</i>	
8.4.2	<i>Interconexiones de señales lógicas como líneas de transmisión</i>	
	Referencias	694
<b>A</b>	<b>Revisión de circuitos eléctricos</b>	<b>696</b>
A.1	Fundamentos	696
A.1.1	<i>Carga</i>	
A.1.2	<i>Voltaje</i>	
A.1.3	<i>Corriente</i>	
A.1.4	<i>Circuitos</i>	
A.2	Resistencias y circuitos equivalentes	702
A.2.1	<i>Ley de Ohm y resistencias</i>	
A.2.2	<i>Potencia</i>	
A.2.3	<i>El equivalente de Thévenin</i>	
A.3	Capacitores	708
A.4	Circuitos RC	710
	Ejercicios	717

## Índice